

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-104459

(43)公開日 平成6年(1994)4月15日

(51)Int.Cl.⁵
H 01 L 29/91
27/06

識別記号

府内整理番号

F I

技術表示箇所

H 01 L 29/ 91
7210-4M 27/ 06 101 B

審査請求 有 請求項の数 1(全 5 頁)

(21)出願番号

特願平4-276677

(22)出願日

平成4年(1992)9月21日

(71)出願人 000106276

サンケン電気株式会社

埼玉県新座市北野3丁目6番3号

(72)発明者 八木 一良

埼玉県新座市北野三丁目6番3号 サンケン電気株式会社内

(72)発明者 工藤 欣二

埼玉県新座市北野三丁目6番3号 サンケン電気株式会社内

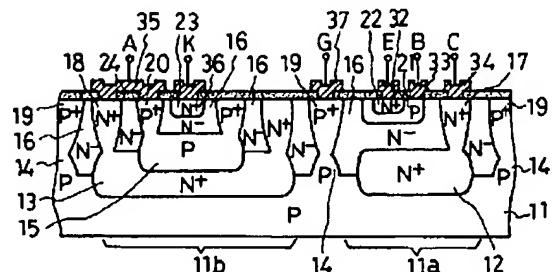
(74)代理人 弁理士 高野 則次

(54)【発明の名称】 半導体装置

(57)【要約】

【目的】 PN接合分離領域内にダイオードを形成する際に、寄生トランジスタが生じないようにモノリシックICを構成する。

【構成】 P形半導体基体11とP形領域14とP⁺形領域で囲まれたPN接合分離の島状領域を設ける。この島状領域の中にN⁺⁺形領域23とN⁻形領域16とから成るN形カソード領域を設ける。このカソード領域を囲むようにP形領域15とP⁺形領域20とからなるP形のアノード領域を設ける。アノード領域を囲むようにN⁺形領域13とN⁺形領域18とを設ける。N⁺⁺形領域23にカソード電極36を接続する。P⁺形領域20とN⁺形領域18をアノード電極35に接続する。



1

【特許請求の範囲】

【請求項1】 第1の導電形の第1の半導体領域(11)、(14)、(19)によって島状にPN接合分離された素子形成領域内に、一方の主面が基板上面に露出した第2の導電形の第2の半導体領域(16)、(23)と、この第2の半導体領域(16)、(23)をその一方の主面を除いて包囲し且つ基板上面に露出する部分を有する第1の導電形の第3の半導体領域(15)、(20)と、この第3の半導体領域(15)、(20)をその一方の主面を除いて包囲し且つ基板上面に露出する部分を有する第2の導電形の第4の半導体領域(13)、(18)とを備え、前記第2の半導体領域(16)、(23)の一方の主面に接続された第1の電極(36)と、前記第3及び第4の半導体領域(15)、(20)、(13)、(18)の一方の主面に接続された第2の電極(35)とが設けられていることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、PN接合分離された領域に寄生トランジスタ動作が抑制されてPN接合ダイオードが形成された半導体装置に関する。

【0002】

【従来の技術】集積回路の素子間を分離する手段としてPN接合分離法が公知である。図11はこのPN接合分離を利用したモノリシックICチップを示す。ここでは出発母材としてのP形半導体領域1とこの上にエピタキシャル成長によって形成されたN⁻形半導体領域2とから成る半導体基板を備え、素子形成領域となるN⁻形半導体領域2がP形の拡散分離領域3によって多数の領域に区画されている。図11では、この1つの素子形成領域にN⁻形領域4をエミッタ、P形領域5をベース、N⁻形領域6及びN⁻形領域2をコレクタとするNPNトランジスタ構造が構成されている。ここでN⁻形領域6は電極7に隣接されており、N⁻形領域4及びP形領域5は共通の電極8に隣接している。この結果、図11のNPNトランジスタはベース・エミッタ間短絡のコレクタ・ベース間PN接合ダイオードとして動作する。

【0003】

【発明が解決しようとする課題】ところで、図11に示す素子構造ではP形半導体領域5をエミッタとし、N⁻形領域6、N⁻形領域2をベースとし、P⁺形領域3及びP形領域1をコレクタとするPNPトランジスタ構造が素子の縦方向と横方向に寄生的に形成される。このため、電極8と電極7との間に電極8側の電位を大きくする電圧を印加してPN接合ダイオードを順方向動作させると、上記の寄生のPNPトランジスタもhfeが0.1以上のトランジスタとして動作し、電極9にコレクタ電流が流れこれが漏れ電流となる。この漏れ電流は、電極9と電極7及び8との電位差が大きい場合に、大きな電力損失を生じさせることになり、問題となる。

2

【0004】そこで、本発明はこのような寄生トランジスタが形成されないPN接合ダイオード構造を提供することを目的とする。

【0005】

【課題を解決するための手段】上記目的を達成するための本発明は、実施例を示す図10の符号を参照して説明すると、第1の導電形の第1の半導体領域11、14、19によって島状にPN接合分離された素子形成領域内に、一方の主面が基板上面に露出した第2の導電形の第2の半導体領域16、23と、この第2の半導体領域16、23をその一方の主面を除いて包囲し且つ基板上面に露出する部分を有する第1の導電形の第3の半導体領域15、20と、この第3の半導体領域15、20をその一方の主面を除いて包囲し且つ基板上面に露出する部分を有する第2の導電形の第4の半導体領域13、18とを備え、前記第2の半導体領域16、23の一方の主面に接続された第1の電極36と、前記第3及び第4の半導体領域15、20、13、18の一方の主面に接続された第2の電極35とが設けられている半導体装置に係わるものである。なお、本発明と実施例との対応関係を説明すると、第1の半導体領域はP形半導体基体11とP形領域14とP⁺形領域19であり、第2の半導体領域はN⁻形領域16とN⁺⁺形領域23であり、第3の半導体領域はP形領域15とP⁺形領域20であり、第4の半導体領域はN⁻形領域13とN⁻形領域18であり、第1の電極はカソード電極36であり、第2の電極はアノード電極35である。

【0006】

【作用及び効果】本願発明によれば、第2の半導体領域23と第3の半導体領域15、20との間にPN接合が形成され、両半導体領域によってPN接合ダイオードが構成される。ここで、第3の半導体領域15、20はこれと共に第2の電極35に接続された反対導電形の第4の半導体領域13、18に包囲されている。このため、第2の半導体領域23又は第3の半導体領域15、20と第1の半導体領域11、14、19との間に漏れ電流が流れることが抑制される。即ち、PN接合分離された領域にダイオードを形成したにも拘らず寄生トランジスタによる漏れ電流を防ぐことができる。

【0007】

【実施例】次に図1～図10を参照して本発明の一実施例に係わるモノリシックIC及びその製造工程を説明する。本実施例のモノリシックICを製作する際には、まず、出発母材として図1に示すシリコンから成るP形半導体基体11を用意する。基体11は後にトランジスタ素子が形成される領域（以下、第1の素子形成領域と称す）11aと後にダイオード素子が形成される領域（以下、第2の素子形成領域と称す）11bとを有している。実際のモノリシックICは、これ等仮想の領域11a、11bが平面的に相互に離間して島状に多数個配置さ

れた構造となっているが、本実施例では本発明の本質に係わる領域についてのみ図示し、説明する。

【0008】次に、図1の基体11にその一方の正面からN形の不純物を導入し、領域11aと11bにそれぞれN⁺形領域12及び13を形成する。なお、領域12、13を形成する際に、基体11の一方の正面には酸化膜が形成されるが、本実施例ではその図示を省略している。以下の工程でも同様に酸化膜の図示は省略している。

【0009】次に、図3に示すように基体11の一方の正面からP形の不純物を導入して、隣り合う素子形成領域11a、11bの間及びN⁺形領域13にそれぞれP形領域14及び15を選択的に形成する。なお、N⁺形領域13は不純物濃度が高いので、P形不純物が選択的に拡散された領域15は実際にはN形領域もしくはN⁻形領域と呼べる状態になっているとも考えられるが、本実施例では説明の便宜上P形領域とする。

【0010】次に、基体11の上に図4に示すようにN⁻形領域16をエピタキシャル成長で形成する。このN⁻形領域16が形成されるとき、図4に示すように2つのN⁺形領域12、13と、2つのP形領域14、15の不純物がN⁻形領域16側にも拡散し、これ等の領域が拡がる。

【0011】次に、図5に示すように、エピタキシャル層形成後の半導体基板の一方の正面からN形の不純物を選択的に導入し、N⁺形領域12及びN⁺形領域13に連続するN⁺形領域17及び18を形成する。N⁺形領域18はN⁻形領域16を囲むように平面環状形状に形成されている。

【0012】次に、図6に示すように、基板の一方の正面からP形の不純物を選択的に導入して、P形領域14に連続するP⁺形領域19と、P形領域15に連続するP⁺形領域20を形成する。P形領域14とP⁺形領域19は、隣り合う2つの素子形成領域11a、11bの間に位置して両領域をPN接合分離させるための領域として機能し、P形領域11と連続して第1及び第2の素子形成領域11a、11bを相互に島状に離間させる。

【0013】次に、第1の素子形成領域11aのN⁻形領域16にP形の不純物を選択的に導入して、図7に示すようにP形領域21を形成する。

【0014】次に、図7に示す、基板の一方の正面にN形の不純物を導入し、図8に示すように第1の素子形成領域11aのP形領域21にN⁺⁺形領域22を形成する。また、第2の素子形成領域11bのN⁻形領域16にN⁺⁺形領域23を形成する。

【0015】次に、図9に示すように、上記の拡散工程において形成されたシリコン酸化膜から成る絶縁膜24に6個の開口25～31を形成する。第1の素子形成領域11aに設けられた3つの開口25、26、27からはそれぞれN⁺形領域22、P⁺形領域21及びN⁺形

領域17が露出する。また、第2の素子形成領域11bに設けられた3つの開口28、29、30からはそれぞれN⁺形領域18、P⁺形領域20、N⁺⁺形領域23が露出する。また、2つの領域11a、11bの間に設けられた開口31からはP⁺形領域19が露出する。

【0016】次に、基板の上面全体にアルミニウムを真空蒸着してから、これを所望のパターンにエッチングすることによって、図10に示すように互いに電気的に離間した6個の電極32、33、34、35、36、37を形成する。以上により、モノシリックICチップが完成する。

【0017】図10に示すモノシリックICチップでは、第1の素子形成領域11aにおいてN⁺形領域12、17及びN⁻形領域16をコレクタ領域、P形領域21をベース領域、N⁺⁺形領域22をエミッタ領域とするNPNトランジスタが形成されており、3つの電極32、33、34がそれぞれエミッタ電極、ベース電極、コレクタ電極として機能する。このNPNトランジスタの構造及び動作は従来のモノシリックICに形成されるトランジスタと何ら変らない。第2の素子形成領域11bにおいては、N⁺形領域18、13及びN⁻形領域16をコレクタ領域とし、P⁺形領域20及びP形領域15をベース領域とし、N⁺⁺形領域23及びN⁻形領域16をエミッタ領域とするNPNトランジスタが構成されている。ここで、このNPNトランジスタはそのベース・コレクタ間が電極35によって電気的に短絡されており、結果として上記ベース領域とエミッタ領域をそれぞれアノード領域及びカソード領域とするPN接合ダイオードとして動作する。したがって、電極35及び36はそれぞれアノード電極及びカソード電極と呼ぶ。

【0018】本実施例の素子構造によれば、第2の素子形成領域11bと拡散分離のP⁺形領域19との間に従来技術で説明したような寄生PNPトランジスタが形成されない。即ち、本実施例の構造によれば、寄生トランジスタのエミッタとなるP⁺形領域20及びP形領域15と、これを島状に包囲したベースとなるN⁺形領域13、18とが同一の電極35に接続されて、エミッタ・ベース間が電気的に短絡した構造になっている。したがって、P⁺形領域20及びP形領域15と拡散分離領域との間、更には基体11との間にキャリアの移動が生じることがなく、寄生トランジスタの動作が完全に防止されている。この結果、アノード電極35とカソード電極36との間にアノード電極35側の電位を高くする電圧を印加して、第2の素子形成領域11bのPN接合ダイオードを動作させて電極35から36に電流を流したときに、その電流の一部が電極37に流れ込むことがない。このため、領域11bのPN接合ダイオードの導通時に、電極37と電極35及び36との間に大きな電位差が生じる場合にあっても、電力損失を従来例に比べて著しく低減することができる。

5

【0019】本実施例のモノシリックICチップ構造の利点を要約すると以下の通りである。

(1) 寄生PNPトランジスタのエミッタ・ベース間が短絡されており、ダイオードに順方向電流を流してもこの寄生トランジスタは実質的に動作しない。このため、従来構造に比べてグランドへの漏れ電流が著しく小さく、電力損失が十分に低減される。

(2) 本構造のダイオードは、NPNトランジスタのコレクタ・ベース間短絡のエミッタ・ベース間PN接合ダイオードとなっている。このため、導通時の電荷蓄積総量が少なく且つ接合容量も小さく、従来構造に比べてスイッチング特性の点で優れている。

(3) 従来の製造工程にプロセスを追加することなしに製作できる。

(4) N⁻形領域16やP⁺形領域19の不純物濃度、トランジスタを構成する拡散領域の不純物濃度、拡散深さ等は、モノシリックICに組込まれる他の素子の要求特性によって決定されるため、従来構造ではアノード・グランド間の耐圧を向上することが困難であった。本構造では、N⁺形領域13の拡散深さを若干変えることでアノード・グランド間の耐圧を制御できる。この場合、他の素子特性を変えることはほとんどない。

【0020】

【変形例】本発明は上述の実施例に限定されるものではなく、例えば次の変形が可能なものである。

(1) 第3の半導体領域としてのP⁺形領域20と第4の半導体領域としてのN⁺形領域18に個別に電極を形成し、これ等を外部的に接続して実質的に同電位にしてもよい。

(2) N⁺形領域18とP⁺形領域20との間のN⁻形領域16にも電極35が接続していてもよい。但し、ダイオードの順方向電圧が大きくならない点において、実

6

施例のようにN⁻形領域16上に酸化膜24を残存させるのが望ましい。

(3) 図10においてN⁺形領域23を囲むN⁻形領域が生じないように形成することができる。また、N⁺形領域18の一方又は両方の側のN⁻形領域16が生じないように形成することができる。

【図面の簡単な説明】

【図1】本発明の実施例のICを製造するために使用する半導体基体を示す断面図である。

【図2】図1の基体にN⁺形領域を形成した状態を示す断面図である。

【図3】図2の基体にP形領域を形成した状態を示す断面図である。

【図4】図3の基板上にエピタキシャル層を形成した半導体基板を示す断面図である。

【図5】図4の半導体基板にN⁺形領域を形成した状態を示す断面図である。

【図6】図5の半導体基板にP⁺形領域を形成した状態を示す断面図である。

【図7】図6の半導体基板にP形領域を形成した状態を示す断面図である。

【図8】図7の半導体基板にN⁺形領域を形成した状態を示す断面図である。

【図9】酸化膜に開口を形成した状態を示す断面図である。

【図10】電極を形成した状態を示す断面図である。

【図11】従来のICの一部を示す断面図である。

【符号の説明】

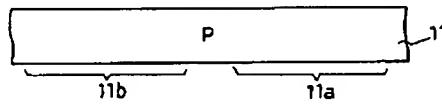
20 P⁺形領域

30 23 N⁺形領域

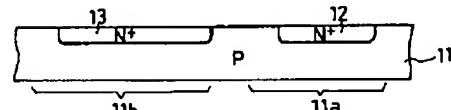
35 アノード電極

36 カソード電極

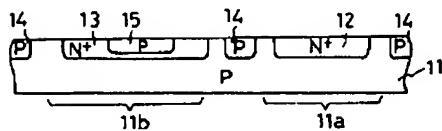
【図1】



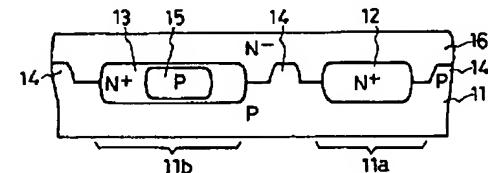
【図2】



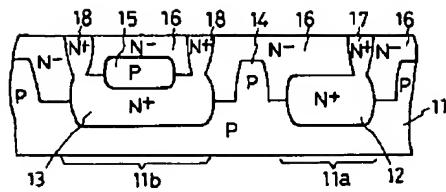
【図3】



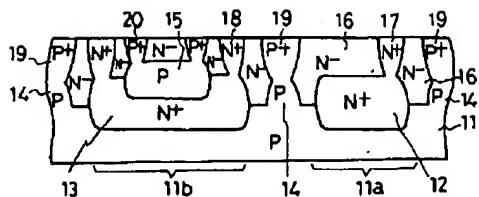
【図4】



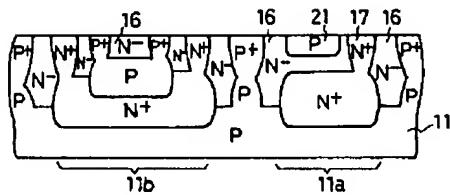
【図5】



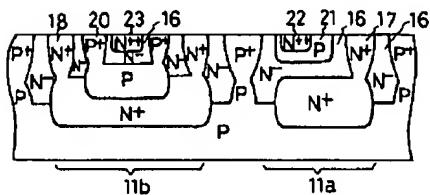
【図6】



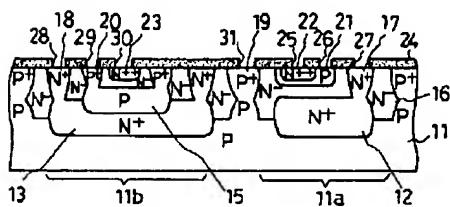
【図7】



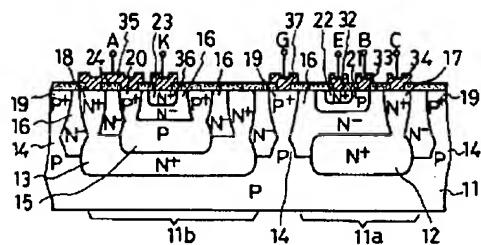
【図8】



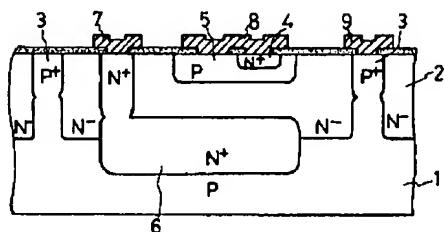
【図9】



【図10】



【図11】



PAT-NO: JP406104459A
DOCUMENT-IDENTIFIER: JP 06104459 A
TITLE: SEMICONDUCTOR DEVICE
PUBN-DATE: April 15, 1994

INVENTOR-INFORMATION:

NAME
YAGI, KAZUYOSHI
KUDO, KINJI

ASSIGNEE-INFORMATION:

NAME	COUNTRY
SANKEN ELECTRIC CO LTD	N/A

APPL-NO: JP04276677

APPL-DATE: September 21, 1992

INT-CL (IPC): H01L029/91, H01L027/06

US-CL-CURRENT: 257/547

ABSTRACT:

PURPOSE: To form a monolithic IC so that a parasitic transistor does not occur when forming a diode in a PN junction separating region.

CONSTITUTION: An insular region of a PN junction separation surrounded by a P-type semiconductor substrate 11, a P-type region 14 and a P<SP>+</SP>-type region is formed. An N-type cathode region comprising an N<SP>++</SP>-type region 23 and an N<SP>-</SP>-type region 16 is formed in the insular region. A P-type anode region comprising a P-type region 15 and a P<SP>+</SP>-type region 20 is formed so as to surround the cathode region. An N<SP>+</SP>-type region 13 and an N<SP>+</SP>-type region 18 are formed so as to surround the anode

region. A cathode electrode 36 is connected to the
N<SP>++</SP>-type region

23. An anode electrode 35 is connected to the P<SP>+</SP>-type
region 20 and
the N<SP>+</SP>-type region 18.

COPYRIGHT: (C)1994,JPO&Japio